

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08307859 A

(43) Date of publication of application: 22 . 11 . 96

(51) Int. Cl

H04N 7/24

H04L 12/28

H04Q 3/00

(21) Application number: 07104057

(71) Applicant: HITACHI LTD

(22) Date of filing: 27 . 04 . 95

(72) Inventor: TAKAHASHI SUSUMU
OKU MASUO

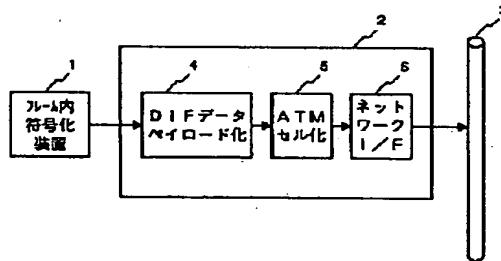
(54) CODE TRANSMITTER

(57) Abstract:

PURPOSE: To send data of the consumer digital VTR coding system to an ATM network.

CONSTITUTION: Output data of an in-frame coder 1 are converted into a payload in 48-byte by a DIF data payload processing circuit 4. Then an ATM cell processing circuit 5 adds a header and the resulting data are sent to an ATM network 3 by a network interface 6.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-307859

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
H 0 4 L 12/28			H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K 9466-5K	H 0 4 L 11/20	D E

審査請求 未請求 請求項の数6 O L (全10頁)

(21)出願番号 特願平7-104057
(22)出願日 平成7年(1995)4月27日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 高橋 将
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内
(72)発明者 奥 万寿男
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内
(74)代理人 弁理士 武 顯次郎

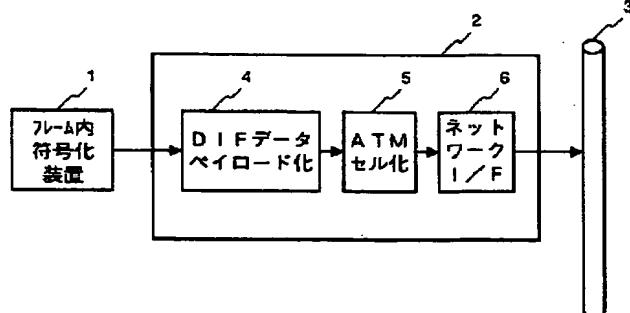
(54)【発明の名称】 符号送出装置

(57)【要約】

【目的】 民生用デジタルVTR符号化方式のデータを、ATMネットワーク上に送出すること。

【構成】 フレーム内符号化装置(1)の出力データを、DIFデータペイロード化回路(4)で48バイトのペイロードに変換し、ATMセル化回路(5)によりヘッダーを追加し、ネットワークインターフェース(6)によりATMネットワーク(3)へ送出する。

図1



前記モード設定手段によるモード切り換えを行うことを特徴とする符号送出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、圧縮符号化された動画像データを固定長のセルに乗せて伝送路に送出する符号送出装置に関する。

【0002】

【従来の技術】マルチメディア通信に欠かせない技術として、ATM（非同期転送モード）が注目されている。現在標準化されているのは、5バイトのヘッダーと48バイトのペイロードからなる53バイトのセルを、155Mbpsのネットワーク上に非同期で転送するものである。この特徴は、通信速度の柔軟性、メディア多重の柔軟性であり、欠点は、ネットワーク内のバッファが溢れてセルが失われる可能性があること（セル損失）である。

【0003】一方、動画像の符号化については、MPEG2と呼ばれる符号化方式の標準化が進められている。このMPEG2の符号化データをATMネットワークで伝送する技術に関しては、「電子情報通信学会技術報告」CS93-164, DSP93-88(1994年1月)に詳しい。

【0004】MPEG2は、動き補償フレーム間予測とDCT（離散コサイン変換）を組み合わせた符号化であり、高い圧縮率が得られることを特徴としている。しかし、符号に誤りがあった場合、符号化の単位であるマクロブロックと呼ばれる小単位画像が複数個連なったストリームと呼ばれるレベルまで誤りが伝播し、またフレーム間予測を行っているため、時間方向にも誤りが伝播するという欠点がある。したがって、セル損失があったときの画質の劣化は甚大である。また、このときの再生画の修整（コンシールメント）も難しい。

【0005】一方また、民生用ディジタルVTRの規格化も進められている。これについては、日本電子機械工業会、「第30回電子工業技術大会資料集」C-2, 59~64頁(1993年10月)に詳しい。こちらに用いられる符号化方式もDCT符号化であるが、VTRの様々な特殊機能に対応するため、フレーム間予測を用いないフレーム内符号化になっている。符号化後のビットレートは約28Mbpsであり、MPEG2ほど高い圧縮率は得られないが、誤り伝播の範囲がほぼマクロブロック内に抑えられ、時間方向にも伝播しないという特徴がある。また、コンシールメントも、1フレーム前のマクロブロックデータに置き換えることで簡単にを行うことができる。しかしながら、この民生用ディジタルVTR符号化方式のデータを、ATMネットワークで伝送することについては考慮されていなかった。

【0006】

【発明が解決しようとする課題】従来の技術は、MPE

【特許請求の範囲】

【請求項1】 画像を小単位に分割してフレーム内符号化され、この画像小単位当たりの符号量に対応した大きさのブロック内に画像小単位毎の符号化データがほぼ対応するように配置された映像データ、音声データ、その他の付加情報データを、伝送路に対応した固定長のセルに乗せるペイロード上に配置するペイロード化手段と、上記ペイロードにヘッダーを付加してセルを生成するセル化手段と、

上記セルを伝送路に送出するネットワークインタフェース手段と、を備えていることを特徴とする符号送出装置。

【請求項2】 請求項1記載において、

前記ペイロード化手段は、1つの映像データブロックに1ないし複数のペイロードを対応させ、ペイロード毎に音声データおよびその他の付加情報データを多重するデータ多重手段を備えていることを特徴とする符号送出装置。

【請求項3】 請求項1記載において、

前記ペイロード化手段は、複数個の符号化データブロックを接続するブロック結合手段と、それを複数個のペイロードに分割するブロック再分割手段とからなることを特徴とする符号送出装置。

【請求項4】 入力画像を小単位に分割してフレーム内符号化し、この画像小単位当たりの符号量に対応した大きさのブロック内に、画像小単位毎の符号化データがほぼ対応するように配置する符号化手段と、

該符号化手段が生成する映像データ、音声データ、その他の付加情報データを、伝送路に対応した固定長のセルに乗せるペイロード上に配置するペイロード化手段と、上記ペイロードにヘッダーを付加してセルを生成するセル化手段と、

上記セルを伝送路に送出するネットワークインタフェース手段と、を備え、

上記符号化手段は画素密度および符号化後のビットレートの異なる複数の符号化モードをもち、伝送路に送出するビットレートに合わせて符号化手段における符号化モードを切り換えるモード設定手段を備えていることを特徴とする符号送出装置。

【請求項5】 請求項4記載において、

前記符号化手段は、画像のコマ落しを行ってビットレートを下げるコマ落し手段を備えていることを特徴とする符号送出装置。

【請求項6】 請求項5記載において、

入力画像の動きを検出する動き検出手段を備え、該動き検出手段により動きが検出されない間は、前記コマ落し手段でビットレートを下げた映像データを送出してビットレートの高い符号化モードで符号化し、動きが検出されたときは、ビットレートの低い符号化モードで符号化したコマ落しを行わない映像データを送出するように、

3
G 2 の符号化データを ATM ネットワークで伝送することにより、マルチメディア通信に適した動画像データの伝送を実現しているが、セル損失による画質劣化が大きく、コンシールメントも難しいという欠点があった。また、セル損失に強い民生用ディジタル VTR 符号化方式のデータを、ATM ネットワークで伝送することについては考慮されていなかった。

【0007】本発明の目的とするところは、民生用ディジタル VTR 符号化方式のデータを ATM ネットワークで伝送できるようにすることにより、セル損失に強く、マルチメディア通信に適した符号送出装置を提供することにあり、またできるだけ低いビットレートで伝送することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明では、映像データ、音声データ、その他の附加情報データを、伝送路に対応した固定長のセルに乗せるペイロード上に配置するペイロード化手段と、ペイロードにヘッダーを付加してセルを生成するセル化手段と、セルを伝送路に送出するネットワークインタフェース手段を設けた。

【0009】また、ペイロード化手段に、1つの映像データブロックに1ないし複数のペイロードを対応させ、ペイロード毎に音声データおよびその他の附加情報データを多重するデータ多重手段を設けた。

【0010】あるいは、ペイロード化手段を、複数個の符号化データブロックを接続するブロック結合手段と、それを複数個のペイロードに分割するブロック再分割手段とから構成した。

【0011】さらに、符号化手段に画素密度および符号化後のビットレートの異なる複数の符号化モードを設け、伝送路に送出するビットレートに合わせて符号化手段における符号化モードを切り換えるモード設定手段を設けた。

【0012】また特に、符号化手段においてコマ落し手段を設けた。

【0013】加えて、入力画像の動きを検出する動き検出手段を設けた。

【0014】

【作用】ペイロード化手段は、映像データ、音声データ、その他の附加情報データからペイロードを形成し、セル化手段はペイロードからセルを生成し、ネットワークインタフェース手段はセルを伝送路に送出する。

【0015】また、ペイロード化手段において、データ多重手段は映像データと他のデータをセル内に多重する。

【0016】あるいは、ブロック結合手段とブロック再分割手段は、データをセル内に隙間なく配信する。

【0017】さらに、符号化手段は複数の符号化モードを持ち、モード設定手段は符号化手段の符号化モードを

ビットレートの低いモードに切り換えることができる。

【0018】特に、コマ落し手段は画素密度を変えずにビットレートを下げる。

【0019】加えて、動き検出手段は入力画像の動きを検出し、動きが検出されない間は、モード設定手段はビットレートの高い符号化モードに切り替え、コマ落し手段はこのビットレートを下げる。動きが検出されたときは、モード設定手段はビットレートの低い符号化モードに切り換える。

10 【0020】

【実施例】以下、本発明の詳細を図示した各実施例によって説明する。

【0021】図1は、本発明の第1実施例に係る符号送出装置の概略構成を示すブロック図である。同図において、1はフレーム内符号化装置、2はATMセル送出装置、3はATMネットワーク、4はDIFデータペイロード化回路、5はATMセル化回路、6はネットワークインタフェースである。

20 【0022】図1に示す構成において、フレーム内符号化装置1からは、符号化された映像、音声データおよび附加情報が送出される。図17は、このフレーム内符号化装置1から出力されるデータの構成図である。

【0023】図17に示すように、1個のヘッダーDIF(ディジタルインタフェース)ブロックと、9個のオーディオDIFブロックと、135個のビデオDIFブロックと、3個のVAUXDIFブロックと、2個のサブコードDIFブロックとで、1つのサブシーケンスを形成する。そして、525/60システムでは10個のサブシーケンス、625/50システムでは12個のサブシーケンスで、それぞれ1フレームのデータとなる。

【0024】ヘッダーDIFブロックにはサブシーケンスに関する制御情報が、オーディオDIFブロックにはオーディオデータおよびオーディオに関するアグジュアリーデータが、ビデオDIFブロックおよびVAUXDIFブロックにはビデオデータおよびビデオに関するアグジュアリーデータが、サブコードDIFブロックにはその他の附加情報が、それぞれ乗せられている。1つのDIFブロックは80バイトからなり、最初の3バイトはIDで、残りの77バイトにデータが乗せられている。但し、ヘッダーDIFブロックは5バイト、サブコードDIFブロックは48バイトしか使われていない。

【0025】フレーム内符号化装置1から出力されたDIFデータは、DIFデータペイロード化回路4によりATMセルに乗せる48バイトのペイロードに変換され、ATMセル化回路5により5バイトのヘッダーが追加されて53バイトのATMセルに変換される。生成されたATMセルは、ネットワークインタフェース6によりATMネットワーク3へ送出される。

【0026】以上により、フレーム内符号化された符号データをATMネットワークに送出することができる。

【0027】図2は、図1のDIFデータペイロード化回路4の1例を示すブロック図であって、同図において、7はDIFブロック分割回路、8はペイロード形成回路である。

【0028】図2に示す構成において、DIFブロック分割回路7は、80バイトのDIFブロックデータを40バイトずつに分割し、ペイロード形成回路8は、分割された40バイトのデータを用いて48バイトのペイロードを形成する。

【0029】図3に、本例によるペイロードのバイトアロケーションを示す。DIFブロックデータの前半の40バイト(3バイトのIDとそれにつづく37バイトのデータ)からペイロード“1”を、後半の40バイトからペイロード“2”を形成する。ペイロード“1”，“2”的残りの8バイトには、AAL(ATMアダプションレイヤ)その他の付加情報、あるいはエラー訂正用のパリティー符号を割り当てる。但し、ヘッダーDIFブロックについては、前半の40バイトがあれば十分であるので、ペイロード“2”は送らない。

【0030】以上のように、本例では、比較的簡単な回路で、フレーム内符号化された符号データをATMネットワークに送出することができる。

【0031】図4は、図1のDIFデータペイロード化回路4の他の1例を示すブロック図である。同図において、9はビデオ・VAUXDIFブロックバッファ、10はオーディオDIFブロックバッファ、11はサブコードDIFブロックバッファ、12、15はブロック選択回路、13はデータ多重回路、14はペイロード形成回路、16はヘッダーDIFブロックバッファであり、図4中において、前記図2に示した構成要素と同一の構成要素には、同一番号を付してある。

【0032】図4に示す構成において、ビデオ・VAUXDIFブロックバッファ9は、DIFブロックデータのうちのビデオDIFブロックおよびVAUXDIFブロックのデータを蓄える。同様に、オーディオDIFブロックバッファ10、サブコードDIFブロックバッファ11は、オーディオDIFブロック、サブコードDIFブロックのデータをそれぞれ蓄える。データ多重回路13は、ビデオDIFブロックおよびVAUXDIFブロックのデータ40バイトと、ブロック選択回路12により選択されるオーディオDIFブロックあるいはサブコードDIFブロックのどちらかのデータ4バイトを多重して、44バイトのデータを生成する。ペイロード形成回路14は、多重された44バイトのデータを用いて48バイトのペイロードを形成する。

【0033】図5に、本例によるペイロードのバイトアロケーションを示す。本例では、ビデオDIFブロックおよびVAUXDIFブロックのデータの前半の40バイトと、オーディオDIFブロックあるいはサブコードDIFブロックのデータ4バイトからペイロード“1”

を、ビデオDIFブロックおよびVAUXDIFブロックのデータの後半の40バイトと、オーディオDIFブロックあるいはサブコードDIFブロックのデータ4バイトからペイロード“2”を、それぞれ形成する。オーディオDIFブロックあるいはサブコードDIFブロック1個分のデータは、20個のペイロードに分散されることになる。1サブシーケンス当たり138個のビデオおよびVAUXDIFブロックのデータを収容するペイロードは276個があるので、1ペイロード当たり4バイトあれば、9個のオーディオDIFブロックと2個のサブコードDIFブロックを収容するには十分である。残りの4バイトには、AALあるいはエラー検出用符号を割り当てる。なお、ヘッダーDIFブロックのデータは、ヘッダーDIFブロックバッファ16に蓄え、多重は行わず、図2、図3に示した例と同じようにペイロード“1”だけを送る。

【0034】以上のように、本例では、ビデオおよびVAUXDIFブロックのデータと、オーディオあるいはサブコードDIFブロックのデータを多重することにより、より低いビットレートでフレーム内符号化された符号データをATMネットワークに送出することができる。

【0035】また、VAUXDIFブロックは3個があるので、VAUXDIFブロックのデータもビデオDIFブロックのデータに多重してもよい。そうすれば、270個のペイロードに多重することができる。

【0036】図6は、図1のDIFデータペイロード化回路4のさらに他の1例を示すブロック図である。同図において、17はDIFブロック結合回路、18はDIFブロック再分割回路であり、図6中において、前記図2に示した構成要素と同一の構成要素には、同一番号を付してある。

【0037】図6に示す構成において、DIFブロック結合回路17はDIFブロック3個分のデータを結合し、DIFブロック再分割回路18は、結合された240バイトのデータを48バイトずつに分割して、5つのペイロードを形成する。

【0038】図7に、本例によるペイロードのバイトアロケーションを示す。48バイトのペイロードを全て使用し、5個のペイロードに3個のDIFブロックのデータを配置する。138個のビデオDIFブロックおよびVAUXDIFブロックのデータは230個ペイロードで、9個のオーディオDIFブロックのデータは15個のペイロードで収容できる。サブコードDIFブロックは2個しかないので4個のペイロードで、ヘッダーDIFブロックは1個のペイロードで送る。

【0039】以上のように、本例では、さらに低いビットレートでフレーム内符号化された符号データをATMネットワークに送出することができる。

【0040】図8は、本発明の第2実施例に係る符号送

7
出装置の構成を示すブロック図であり、本実施例は、ビットレートの異なる複数のモードを持つ符号送出装置への適用例である。

【0041】図8において、19は通常モード符号化回路、20はHモード符号化回路、21はQモード符号化回路、22はコマ落しバッファ、23はデータ選択回路、24はヘッダーDIFブロック生成回路、25はブロック多重回路、26はモード設定回路、27は映像音声入力端子であり、28はこれらの構成要素19～27を含むフレーム内符号化回路である。なお、図8中において、前記図1に示した構成要素と同一の構成要素には、同一番号を付してある。

【0042】図8に示す構成において、通常モード符号化回路19は、図1に示した第1実施例のフレーム内符号化装置1と同様の符号化を行う。これに対し、Hモード符号化回路20は、通常モード符号化回路19の約1/2のビットレートとなるような符号化を行う。また、Qモード符号化回路21は、通常モード符号化回路19の約1/4のビットレートとなるような符号化を行う。データ選択回路23はモード設定回路26からの制御信号に基づき、所望のビットレートの符号化データを選択する。ビットレートは、コマ落しバッファ22において複数フレーム毎に1フレームのデータだけを抜き出すことにより、1/4よりもさらに下げることができる。どのモードで符号化したデータかを判別する情報は、ヘッダーDIFブロック生成回路24で生成されるヘッダーDIFブロックの中に盛り込まれる。

【0043】図9は、上記各モードにおける映像および音声データのサンプルレートを示す概念図である。Hモードでは水平方向に2/3のデシメーションを行い、画素数を通常モードの2/3に削減する。さらに、垂直方向にプリフィルタをかけて情報量を削減しておいてから、1マクロブロック当たりの発生符号量が通常モードの3/4となるようにレートコントロールを行い、全体の符号量を通常モードの約1/2にする。音声についても、32kHzサンプル12ビット2チャンネル、あるいは48kHzサンプル16ビット1チャンネルとすることにより、通常モードの約1/2の符号量にする。

【0044】Qモードでは水平方向、垂直方向とも1/2のデシメーションを行って画素数を1/4にすることにより、符号量を約1/4にする。音声も32kHzサンプル12ビット1チャンネルとし、符号量を約1/4にする。

【0045】通常モードのビットレートは約28Mbpsであるので、Hモードは約14Mbps、Qモードは約7Mbpsとなる。

【0046】図10に、HモードにおけるビデオDIFブロックのデータを収容するペイロードのバイトアロケーションを示す。前述のとおり、Hモードでは画素数は2/3までしか削減されていないので、発生符号量が3

/4となるようなレートコントロールを行う。したがって、1ビデオDIFブロックの情報量は60バイトになる。DIFデータペイロード回路4の具体的構成は、図6と同じである。ビデオDIFブロックに対しても、5個のペイロードに4個のビデオDIFブロックのデータを配置する。

【0047】図11にコマ落し処理の概念図を示す。コマ落しバッファ22において、1/2コマ落しモードのように、2フレーム毎に1フレーム(A1, A2, C1, C2, E1, E2, ...)のデータを抜き出せば、ビットレートは1/2になり、また、1/4コマ落しモードのように、4フレーム毎に1フレーム(A1, A2, E1, E2, ...)のデータを抜き出せば、ビットレートは1/4になる。

【0048】以上のように、本実施例では、低いビットレートの符号化モードを設けることにより、さらに低いビットレートで符号データをATMネットワークに送出することができる。

【0049】図12は、本発明の第3実施例に係る符号送出装置の構成を示すブロック図であり、本実施例は、フィールドコマ落しを行う符号送出装置への適用例である。

【0050】図12において、29はフィールドマージ回路であり、図12中において、前記図8に示した構成要素と同一の構成要素には、同一番号を付してある。

【0051】図12に示す構成において、フィールドマージ回路29はフィールド単位のコマ落しを行い、抜き出された2つのフィールド画をマージしてフレーム画を構成し、Qモード符号化回路21へ入力する。

【0052】図13にフィールドコマ落し処理の概念図を示す。1/2コマ落しモードのように、2フィールド毎に抜き出したフィールド(A1, B1, C1, D1, E1, ...)を2つずつマージして符号化すれば、ビットレートは1/2になり、また、1/4コマ落しモードのように、4フィールド毎に抜き出したフィールド(A1, C1, E1, ...)を2つずつマージして符号化すれば、ビットレートは1/4になる。

【0053】以上のように、本実施例では、フィールド単位のコマ落しにより、低いビットレートで符号データをATMネットワークに送出することができる。

【0054】図14は、本発明の第4実施例に係る符号送出装置の構成を示すブロック図であり、本実施例は、動き検出によりモードを切り換える符号送出装置への適用例である。

【0055】図14において、30は動き検出回路であり、図14中において、前記図12に示した構成要素と同一の構成要素には、同一番号を付してある。

【0056】図14に示す構成において、動き検出回路30は入力映像信号の動きを検出し、これによりモードを切り換える。また、コマ落し処理は、通常およびHモ

ードに対しても行われるようになっている。

【0057】図15は本実施例によるモード切り換え例のタイミングチャートである。本例では、符号の送出レートはQモードに合わせてある。まず、動きのない間は4フィールドに1フィールドの割合でコマ抜きを行い、通常モードで符号化して1フレームのデータを4フレームの時間をかけて送出する。動きが検出されると、Qモードに切り換えられ、動画が送出される。

【0058】以上のように、本実施例では、低い伝送レートであっても、動きのない間には高精細の静止画を送出することができる。

【0059】図16は、本発明の第5実施例に係る符号送出装置の構成を示すブロック図であり、本実施例は、VTRインターフェースを備えかつ符号受入機能を具備した符号送出受入装置への適用例である。

【0060】図16において、31は符号送出受入装置、32はデジタルVTR、33はフレーム内符号化復号回路、34はATMセル受入回路、35はVTRインターフェース、36は映像音声出力端子、37、38、39は選択回路であり、図16中において、前記図1、図8に示した構成要素と同一の構成要素には、同一番号を付してある。

【0061】図16に示す構成において、フレーム内符号化復号回路33およびATMセル受入回路34は、図8に示した実施例と逆の処理を行い、ATMネットワーク3を通して送られてきたデータから動画像データを再生し、映像音声出力端子36へ出力する。また、符号化データは、VTRインターフェース35を通してデジタルVTR32に接続され、記録再生を行うことができる。

【0062】以上のように、本実施例では、デジタルVTRに蓄えた符号化データをATMネットワークに送出し、また、ATMネットワークから受入したものをデジタルVTRに蓄えることができる。

【0063】

【発明の効果】以上述べたように、本発明によれば、民生用デジタルVTR符号化方式のデータをATMネットワークで伝送できるようにすることにより、セル損失に強く、マルチメディア通信に適した符号送出装置を提供することができる。

【0064】また、映像データと他のデータをセル内に多重することにより、より低いビットレートで伝送することができる。

【0065】あるいは、データをセル内に隙間なく配置することにより、さらに低いビットレートで伝送することができる。

【0066】さらに、複数の符号化モードを設けることにより、さらに低いビットレートで伝送することができる。

【0067】特に、コマ落しを行うことにより、画素密

度を下げずにビットレートを下げることができる。

【0068】加えて、動きが検出されない間は、ビットレートの高い符号化モードで符号化してコマ落しすることにより、低い伝送レートであっても、高精細の静止画を送出することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る符号送出装置の構成を示すブロック図である。

【図2】図1中のDIFデータペイロード化回路の1例を示すブロック図である。

【図3】図2に示した例における、ペイロードのバイトアロケーションを示す説明図である。

【図4】図1中のDIFデータペイロード化回路の他の1例を示すブロック図である。

【図5】図4に示した例における、ペイロードのバイトアロケーションを示す説明図である。

【図6】図1中のDIFデータペイロード化回路のさらに他の1例を示すブロック図である。

【図7】図6に示した例における、ペイロードのバイトアロケーションを示す説明図である。

【図8】本発明の第2実施例に係る符号送出装置の構成を示すブロック図である。

【図9】本発明の第2実施例による各モードにおける、映像および音声データのサンプルレートを示す概念図である。

【図10】本発明の第2実施例によるHモードにおける、ビデオDIFブロックのデータを収容するペイロードのバイトアロケーションを示す説明図である。

【図11】本発明の第2実施例によるフレームコマ落し処理の概念を示す説明図である。

【図12】本発明の第3実施例に係る符号送出装置の構成を示すブロック図である。

【図13】本発明の第3実施例によるフィールドコマ落し処理の概念を示す説明図である。

【図14】本発明の第4実施例に係る符号送出装置の構成を示すブロック図である。

【図15】本発明の第4実施例によるモード切り換え例を示すタイミングチャート図である。

【図16】本発明の第5実施例に係る符号送出装置の構成を示すブロック図である。

【図17】フレーム内符号化出力データの構成を示す説明図である。

【符号の説明】

1 フレーム内符号化装置

2 ATMセル送出装置

3 ATMネットワーク

4 DIFデータペイロード化回路

5 ATMセル化回路

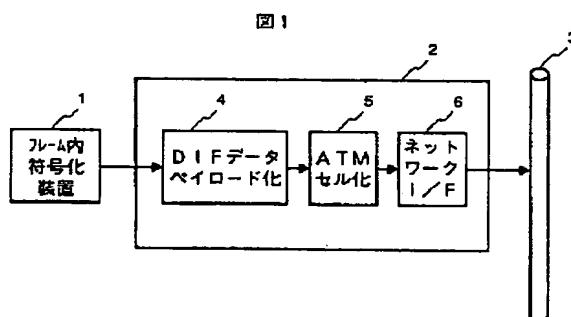
6 ネットワークインターフェース

7 DIFブロック分割回路

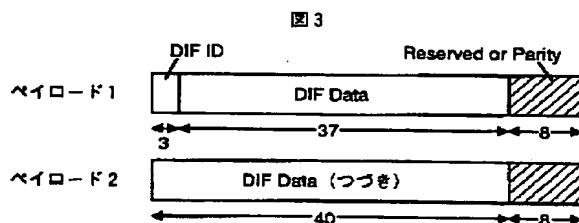
11

8, 14 ペイロード形成回路
 9 ビデオ・VAUX D I F ブロックバッファ
 10 オーディオ D I F ブロックバッファ
 11 サブコード D I F ブロックバッファ
 12, 15 ブロック選択回路
 13 データ多重回路
 16 ヘッダー D I F ブロックバッファ
 17 D I F ブロック結合回路
 18 D I F ブロック再分割回路
 19 通常モード符号化回路
 20 Hモード符号化回路
 21 Qモード符号化回路
 22 コマ落しバッファ
 23 データ選択回路

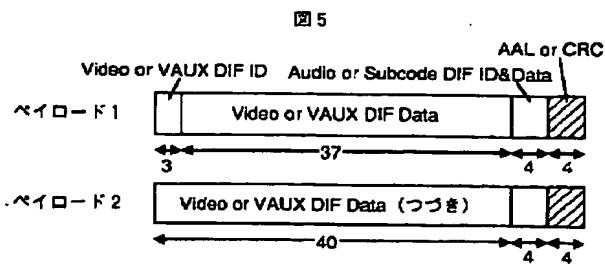
【図1】



【図3】

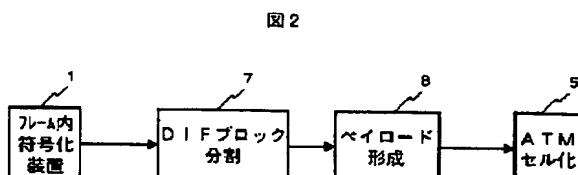


【図5】

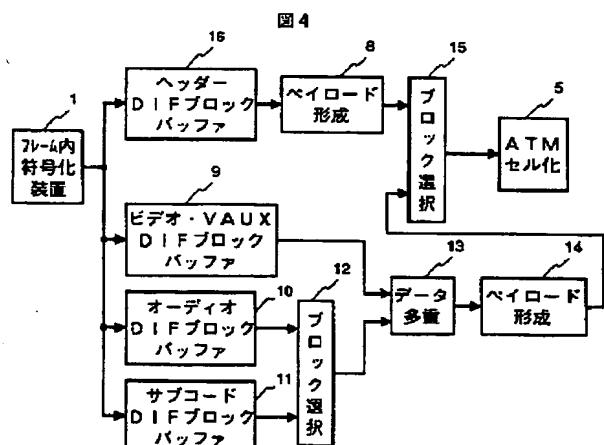


24 ヘッダー D I F ブロック生成回路
 25 ブロック多重回路
 26 モード設定回路
 27 映像音声入力端子
 28 フレーム内符号化回路
 29 フィールドマージ回路
 30 動き検出回路
 31 符号送出受入装置
 32 ディジタル VTR
 10 33 フレーム内符号化復号回路
 34 ATMセル受入回路
 35 VTR インタフェース
 36 映像音声出力端子
 37, 38, 39 選択回路

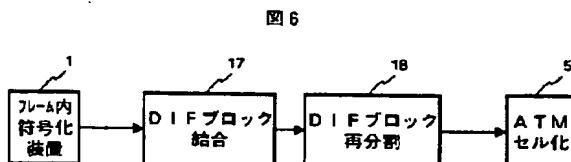
【図2】



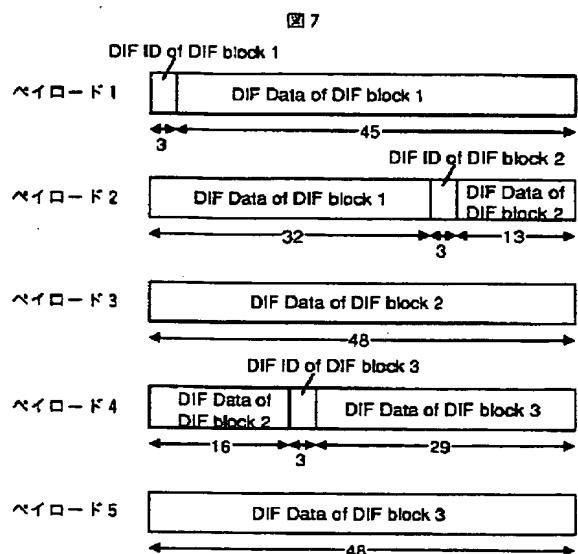
【図4】



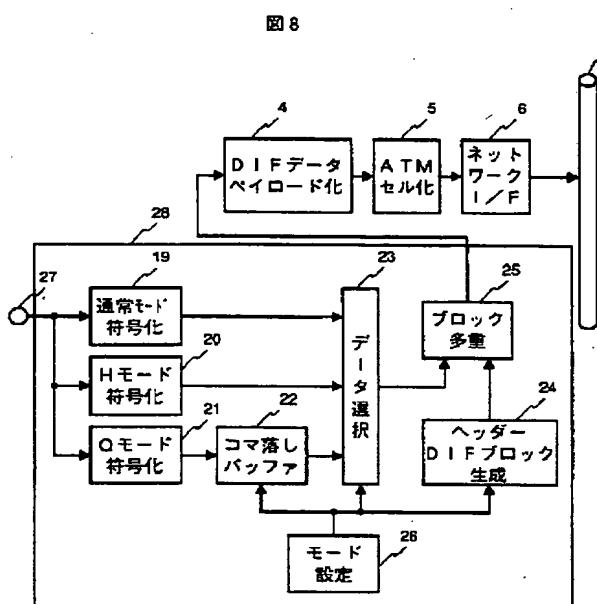
【図6】



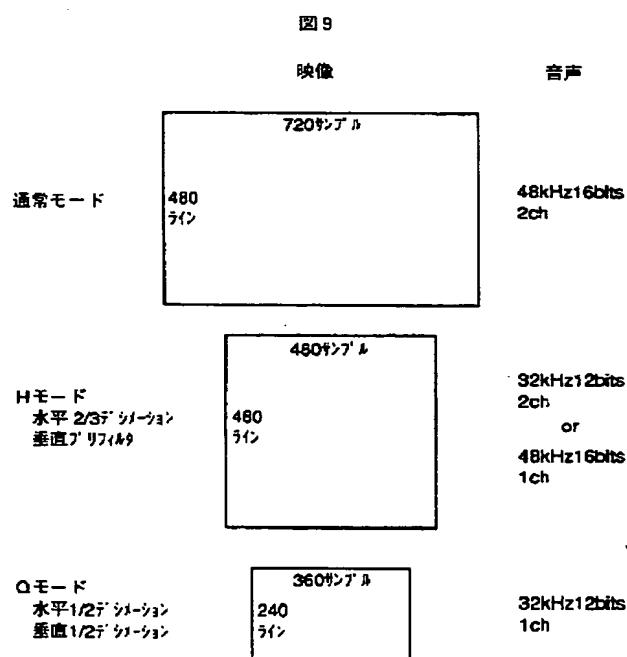
【図7】



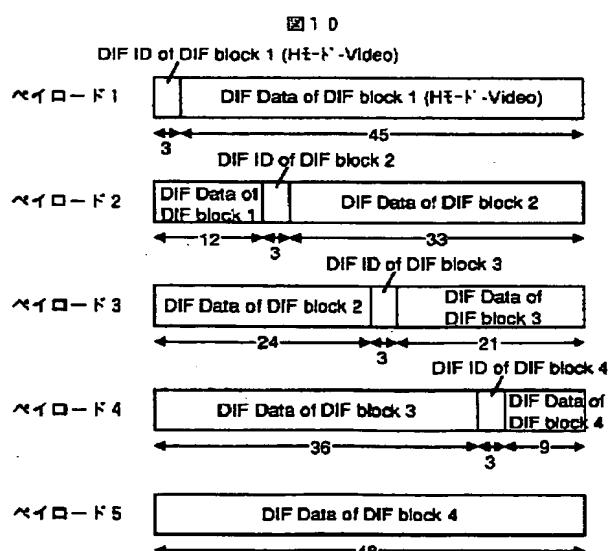
【図8】



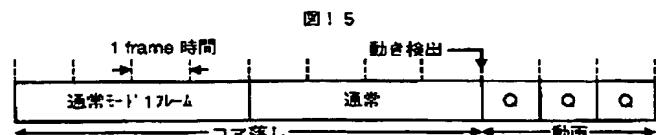
【図9】



【図10】

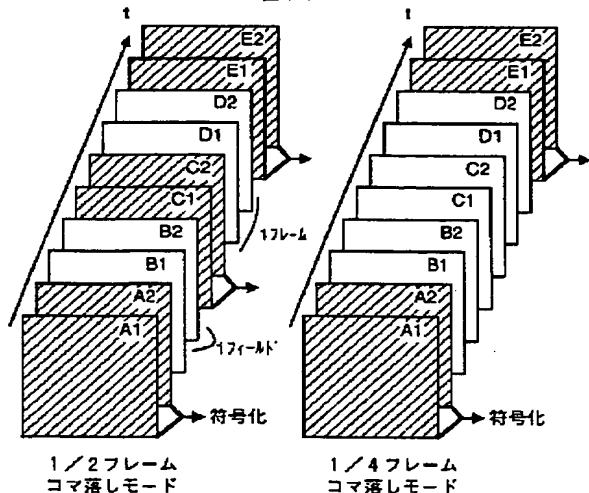


【図15】



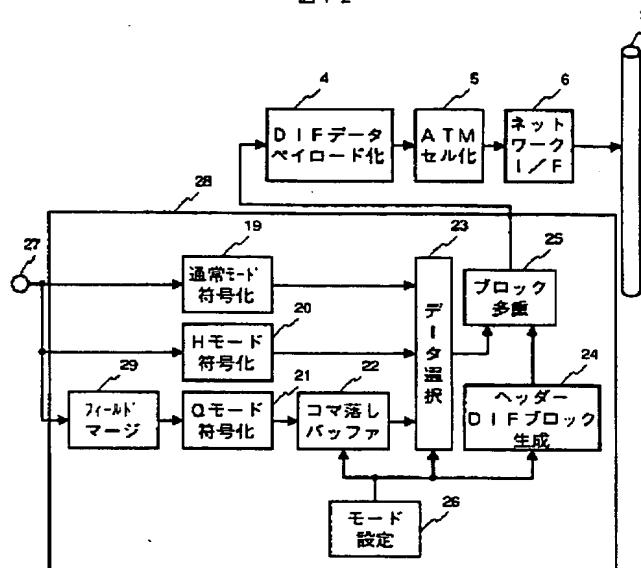
【図11】

図11



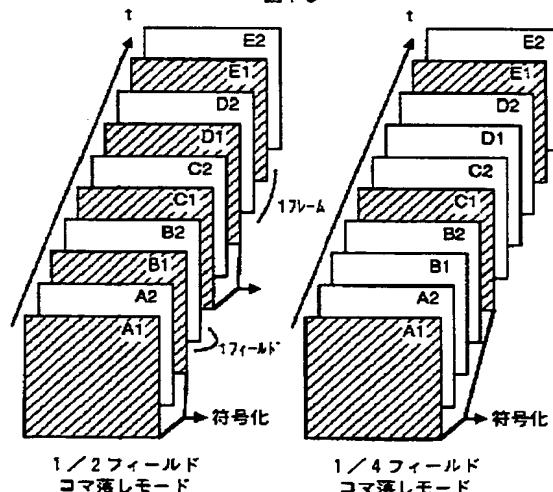
【図12】

図12



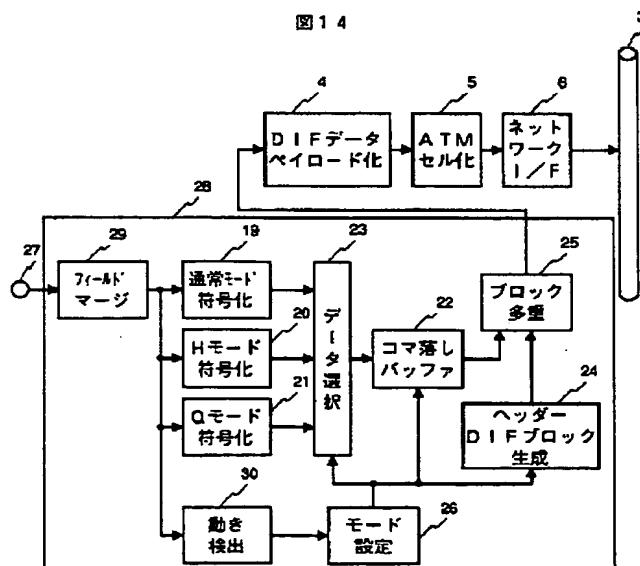
【図13】

図13



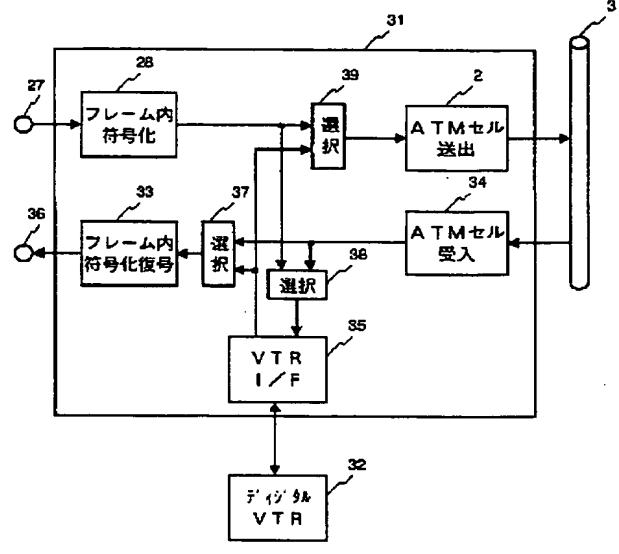
【図14】

図14



【図16】

図16



【図17】

図17

